

一种用于 IR—UWB 的数控环形振荡器设计

邓 春, 龚 敏, 陈 昶, 邬齐荣

(四川大学 物理科学与技术学院 微电子技术四川省重点实验室, 四川 成都 610064)

摘 要: 设计了一个应用于超宽带脉冲无线电(IR—UWB)通信系统的数控环形振荡器(DCRO). DCRO 采用 3 调谐, 包括电压粗调谐和开关变容管精调谐, 逐级提高调谐精度. 提出了一种新型延时单元, 采用多环路结构, 提高了环形振荡器的振荡频率, 降低了功耗. 设计采用 CSMC 0.18 μm 互补金属氧化物半导体工艺, 电源电压 1.8V, 使用 SpectreRF 仿真验证, 数控环形振荡器的调谐范围为 3~8.6GHz, 调谐精度为 2MHz, 当工作频率在 8.6GHz 时, 偏离主频 10MHz 处相位噪声为 -112.4dBc/Hz, 功耗为 20mW.

关键词: 数控环形振荡器; 超宽带脉冲无线电; 3 级调谐; 开关变容管; 多环路结构

中图分类号: TP393

文献标识码: A

文章编号: 1000-7180(2011)09-0017-05

Design of Digitally Controlled Ring Oscillator for UWB Impulse Radio

DENG Chun, GONG Min, CHEN Chang, WU Qi-rong

(Microelectronics Technology Sichuan Key Laboratory,
School of Physical Science and Technology, Sichuan University, Chengdu 610064, China)

Abstract: In this paper, a digitally controlled ring oscillator (DCRO) for ultra-wideband impulse radio (IR—UWB) communication system is presented. Three-stage tuning method is applied in the DCRO, including coarse voltage tuning and fine switched varactor tuning. A novel delay cell is proposed and multiple-loop architecture is utilized for ring oscillator, allowing to obtain high operation frequency and low power consumption. Under CSMC 0.18 μm CMOS process, when the supply voltage is 1.8V, the DCRO has a wide frequency tuning range from 3 to 8.6GHz and a frequency resolution of 2MHz. At 8.6GHz, the circuit achieves a phase noises of -112.4dBc/Hz at 10MHz offset. The total power consumption is 20mW.

Key words: DCRO; IR—UWB; three-stage tuning; switched varactor; multiple-loop architecture

1 引言

超宽带(UWB)技术是一种用短脉冲(0.1ns~1.5ns)进行传输的宽频带无线通信技术,与传统的蓝牙、WLAN 等窄带技术相比,具有传输速率高(几百 Mbit/s)、抗干扰性能强、功耗低、保密性能好等特点,主要应用于室内通信、高速无线 LAN、雷达等领域. 美国联邦通讯委员会 FCC 规定,民用 UWB 频谱范围为 3.1~10.6GHz,有两种模式:多频带 TD/FDMA 和直接频带 DS-SS^[1]. 产生 UWB 本振信号的方式有两种:正交频分多路复用 OFDM—UWB 和脉冲无线电 IR—UWB. OFDM—UWB 不

允许频率偏移,因此需要使用基于锁相环的频率合成技术. IR—UWB 理论上允许频率偏移,可用数控振荡器(DCO)直接产生振荡信号,由于没有反馈环路,可以实现快速频率切换(一般小于 10ns). IEEE 802.15.4a 标准采用 IR—UWB,由于采用突发传送模式,大大降低了系统功耗,应用于短距离、低功耗无线网络. DCO 是 IR—UWB 通信系统中最重要的模块,对调谐范围、调谐精度、功耗、噪声等性能有严格要求,以满足不同的应用需求.

电容电感振荡器具有振荡频率高、低功耗、低相位噪声等优点,但是 LC 回路高 Q 值给实现宽调谐范围、快速频率转换带来困难,此外片上电感有工艺

偏差大、面积大等缺点. 相比而言, 环形振荡器^[2]更适合 IR-UWB 系统.

数控环形振荡器有多种实现结构^[3-6]. 文中基于多级调谐的思想, 采用频率提高技术, 设计了一种新型延时单元, 使用电压调谐和频率分辨率提高的 PMOS 开关变容对, 在 $0.18\mu\text{m}$ 工艺下, DCO 达到 $3\sim 8.6\text{GHz}$ 宽调谐范围、 2MHz 的调谐精度, 降低了成本.

2 数控环形振荡器工作原理

DCO 的输入为数字量, 设计时需要将压控振荡器的模拟控制电压或电流信号, 转换为多比特的数字信号. 为了在宽频率范围内实现高的调谐精度, 文中采用 3 级调谐: 第 1、2 级为电压粗调谐, D/A 转换模块将数字量转换为离散电压值; 第 3 级通过在延时单元输出端并联开关变容管(工作在高、低电容两种状态)实现精调谐, DCO 电路结构简化图如图 1 所示.

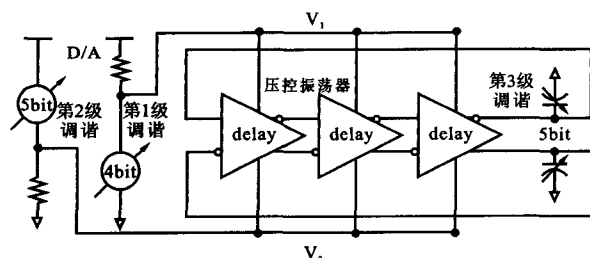


图 1 DCO 电路结构简化图

为了保证在工艺偏差、温度变化、电源电压变化等非理想因素影响下, 仍能满足要求, 确定 3 级频率控制字 (Frequency Control Word, FCW) 比特位分别为 4 位、5 位、5 位, 则 DCO 输出频率和 FCW 之间的关系为:

$$f_{\text{out}} = f_0 + K_1 \text{FCW}_1 + K_2 \text{FCW}_2 + K_3 \text{FCW}_3 \quad (1)$$

式中, f_0 为 FCW 均为零的振荡频率, K_1 、 K_2 、 K_3 分别为第 1、2、3 级调谐增益.

3 数控环形振荡器设计

3.1 环形振荡器

N 级环形振荡器谐振频率 $f_{\text{osc}} = \frac{1}{2NRC}$, 减小 N 可以提高振荡频率, 但当 $N \leq 2$ 时, 很难满足振荡稳定条件, 因此本设计选择 $N = 3$. 减小负载电阻电容能够提高振荡频率, 这可以通过增大尾电流或减小晶体管尺寸实现, 但在特定工艺下, 存在频率上

限, 因此出现了一些频率提升技术^[7], 在同等工艺和功耗的条件下, 提高振荡频率. 文中采用多环路结构, 如图 2(a) 所示, 实线为主环路, 虚线为次环路. 次环路输入端 $p+/p-$ 比主环路输入端 $n+/n-$ 提前打开或关闭, 对节点充电或放电, 减少延迟时间, 从而提高了振荡频率. 提出的应用于这种结构的新颖延时单元如图 2(b) 所示, 包括第 1 级调谐 V_1 和第 2 级调谐 V_2 .

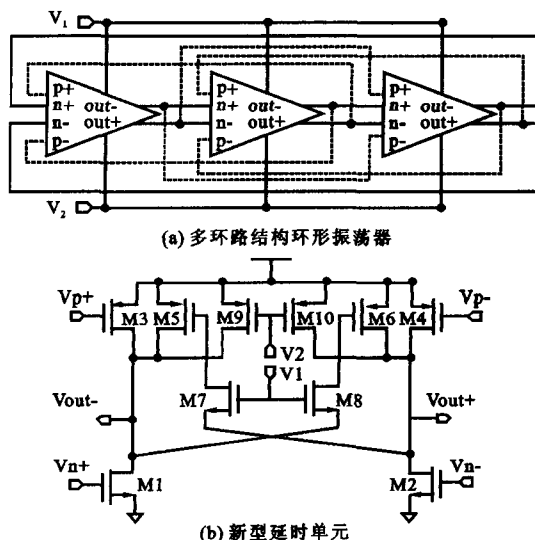


图 2 多环路结构

3.2 调谐性能和相位噪声分析

文献[4-5]的延时单元均使用尾电流调谐, 但是在 $0.18\mu\text{m}$ 工艺下, 随着振荡频率提高, 由于尾电流源 MOS 管源漏电压限制, 很难提供相应大小的电流. 文中使用电压调谐不存在上述问题, 且同样适用于更先进的工艺. 由延时单元小信号分析和振荡相位稳定条件可知: V_{n+} 到 V_{out+} 的相位差 θ 由直流相移 π 和交流相移 $\pi/3$ 组成, 因此, $\theta = 4\pi/3$, 同理, V_{p+} 到 V_{out-} 的相位差 $\varphi = 5\pi/3$, 根据文献[8]中的结论, 环形振荡器谐振频率为:

$$\omega = \left(-g_{m5} + \frac{1}{R_{ds9}} + \frac{1}{r_0} \right) \frac{\tan\theta}{C} + \frac{g_{m3} \cos\theta \tan\theta - \sin\varphi}{C} \quad (2)$$

式中, g_{m5} 为交叉耦合对 M5/M6 管的跨导, 为 M9/M10 管的等效线性电阻, r_0 输出端所有晶体管的输出阻抗. 交叉耦合对 M5/M6 管可看作锁存器, 抑制输出状态转换, 当 V_1 增大时, 这种抑制作用越强, 导致振荡频率降低. 线性电阻 R_{ds9} 随 V_2 增大而增大. M3/M4 管是次级环路的输入, 增加其跨导能够提高振荡频率, 一般通过增加 MOS 管栅宽实现, 但同时会增加负载电容. 为了降低电源噪声和衬底耦

合噪声对频率稳定性的影响,在满足调谐范围的前提下,要尽可能减小压控振荡器的增益 K_{VCO} ,设计时可以增大 M5—M8 管以及减小 M9—M10 管的宽长比。

虽然 IR—UWB 系统没有对相位噪声提出要求,但设计时应该在保证其它性能指标的前提下,尽可能减小相位噪声。延时单元取消了尾电流源,增大了信号输出摆幅,实现了全摆幅输出,提高了信噪比,同时减少了电流源引入的噪声,提高了噪声性能。环形振荡器噪声功率可以表示为:

$$P_{noise} = \frac{\Delta t}{t} \cdot \frac{4kTR}{1 + (1 + 2\pi\Delta f RC)^2} \quad (3)$$

式中, t 为振荡周期, Δt 为 MOS 管开启时间, Δf 为相对载频偏移量, RC 为延时单元一阶时间常数。M5/M6 管构成正反馈,在信号转换时,提高信号转换速率,因此,在一个振荡周期内, MOS 管的开启时间 Δt 减少,降低了相位噪声,设计中可以适当增加 M5—M8 管的宽长比。综合以上分析,表 1 给出了延时单元各晶体管的尺寸。

表 1 环形振荡器延时单元晶体管尺寸(单位: μm)

	M ₁ /M ₂	M ₃ /M ₄	M ₅ /M ₆	M ₇ /M ₈	M ₉ /M ₁₀
W/L	18/0.18	6/0.18	25/0.18	10/0.18	5/0.35

3.3 数字调谐

D/A 转换电路由一组宽度以 2^N 递增的 MOS 管恒流源及其控制开关、负载电阻组成。第 1 级调谐电路如图 3(a) 所示。为了保证延时单元中 M7/M8 管开启,确定 V_1 的变化范围为 0.95~1.7V,则 5 位 FCW₁ 的精度为 50mV,最右边的两个 NMOS 始终导通,产生 0.1V 压降。 V_1 和 FCW₁ 的关系为:

$$V_1 = 1.7 - (C_0 + 2C_1 + 4C_2 + 8C_3)I_0R \quad (4)$$

式中, $I_0R = 0.05V$ 。实际上,电压 V_1 和 FCW₁ 不会保持完全线性,从而导致调谐非线性,这是因为当位数增加时,漏端电压下降,高位 MOS 管的电流要小于设计值。本设计中,由于 FCW₁ 位数不高,误差可以忽略。电阻的工艺误差可能达到 10% 以上,可将电阻做成可调电阻,在测试时调节其阻值。

第 2 级调谐电路和第 1 级类似,如图 3(b) 所示。不同的是,在最高位加入电流补偿电路,补偿因 PMOS 管漏端电压上升而减少的电流。为了保证延时单元中 M9/M10 管开启,确定 V_2 范围为 0~1.4V,则精度为 45mV。 V_2 和 FCW₂ 的关系为:

$$V_2 = (\bar{C}_4 + 2\bar{C}_5 + 4\bar{C}_6 + 8\bar{C}_7)I_0R + \bar{C}_8(16I_0 + I_c)R \quad (5)$$

式中, I_c 为由 $C_4 - C_7$ 决定的补偿电流。

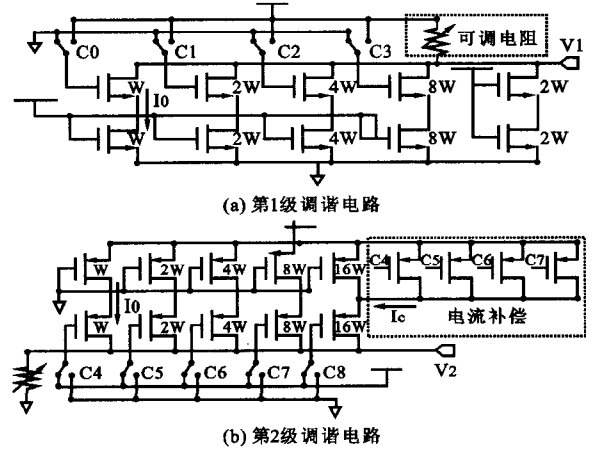


图 3 调谐电路

第 3 级调谐通过在延时单元输出端接 MOS 开关变容管实现,改变电容值实现调谐。MOS 变容管分为反型和积累两种,一般采用 P 管实现。积累型 MOS 变容管把标准 PMOS 管的源漏注入变为 N 型,不适合标准 CMOS 工艺,因此选择反型 PMOS 开关变容管(工作在耗尽区为低电容状态,工作在反型区为高电容状态)。传统的接法是把源漏体相连作为控制端,由于积累区存在,耗尽区电容曲线不平坦,直流工作点偏移会引入非线性和恶化噪声性能。体端接电源(VDD)可以很好解决这一问题,此时 MOS 电容稳定工作区域最宽。

开关电容差值 ΔC 和调谐精度 Δf 的关系为:

$$\Delta f = \frac{1}{2NR} \cdot \frac{\Delta C}{C(C + \Delta C)} \quad (6)$$

仿真结果表明,0.18 μm 工艺体端接电源的最小尺寸 PMOS 变容管 $\Delta C_{min} = 167aF$ 。为了减小变容差值,文中设计了一种 PMOS 开关变容对,应用于第 3 级调谐,如图 4 所示。

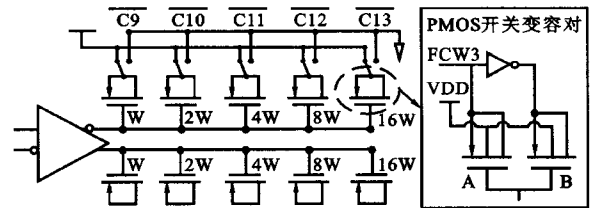


图 4 第 3 级调谐电路(包括 PMOS 开关变容对)

调谐字取反是为了使振荡频率和调谐字成正比。PMOS 管 A 尺寸比 B 大,则电容差值由下式决定:

$$\begin{aligned} \Delta C &= (C_{A,High} + C_{B,Low}) - (C_{A,Low} + C_{B,High}) \\ &= \Delta C_A - \Delta C_B \end{aligned} \quad (7)$$

其中, $C_{A,High}$ 和 $C_{B,High}$ 分别为两管处于高电容区的电

容值, $C_{A,Low}$ 和 $C_{B,Low}$ 为两管处于低电容区的电容值. 设计时 B 管尺寸取最小, A 管大小根据调谐精度确定, A 管尺寸越小, PMOS 开关变容对的等效电容差值越小, 能实现的调谐精度也就越高.

提高调谐精度对系统是有益的. 有限的频率分辨率和抖动会造成相位偏移^[5]:

$$\Delta\varphi(t)=2\pi\Delta t_{jit}(t)f_0+2\pi\frac{\Delta f}{2}t$$

(8)

式中, $\Delta t_{jit}(t)$ 为时钟抖动, f_0 为振荡频率. 因此, 提高调谐精度 Δf 可以减小在脉冲发送时间 t 内的相位误差 $\Delta\varphi(t)$, 从而提高系统的抗噪声性能, 减小误码率.

4 仿真结果

文中基于 CSMC 0.18 μ m CMOS 工艺, 用 SpectreRF 进行仿真. 图 5 显示了在第 1 级调谐字 FCW_1 (0~15) 下, 谐振频率随第 2 级调谐字 FCW_2 (0~31) 的变化情况. 整个调谐范围为 3~8.6GHz, 具有比较好的线性度. 当 $FCW_1=9$ 时, 调谐范围最大为 1.1GHz, 当 $FCW_1=0$ 时, 调谐范围最小为 300MHz, 因此设计时要保证相邻的调谐范围充分交叠, 避免因工艺偏差、温度、噪声等因素造成 DCO 无法工作在某一频率范围^[9].

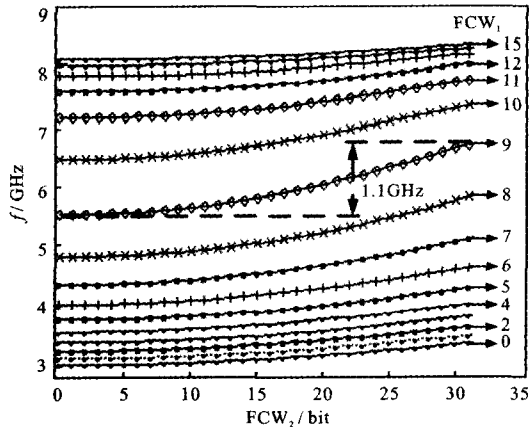


图 5 不同 FCW_1 下, 第 2 级调谐曲线仿真结果

图 6 是 $FCW_1=9$ 、 $FCW_2=31$ 时 (此时为最坏

情况, 调谐范围最大), DCO 谐振频率随第 3 级调谐字 FCW_3 (0~31) 变化图, 调谐精度达到 2MHz. DCO 谐振在 8.6GHz 时的相位噪声曲线如图 7 所示, 频偏 1MHz 处相位噪声为 -86.5dBc/Hz, 10MHz 处相位噪声为 -112.4 dBc/Hz. PMOS 开关变容对尺寸:

$$(W/L)_A=260\mu m/180\mu m$$

(W/L)_B=220 μ m/180 μ m

振荡器的优值(FOM)定义为:

$$FOM=20\log\frac{f_0}{\Delta f}-10\log\frac{P_{DC}}{1mW}-S(\Delta f)$$

(9)

式中, Δf 为频率偏移量, f_0 为振荡中心频率, $S(\Delta f)$ 为 Δf 处的相位噪声, P_{DC} 为 DCO 的功耗.

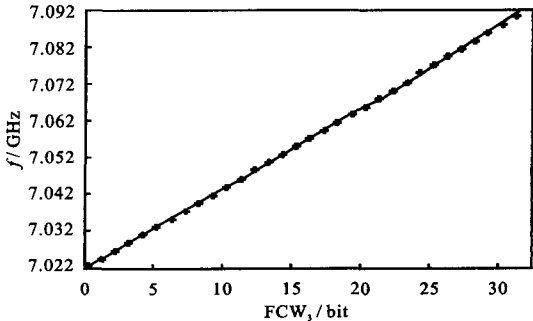


图 6 $FCW_1=9$, $FCW_2=31$ 下, 第 3 级调谐曲线仿真结果

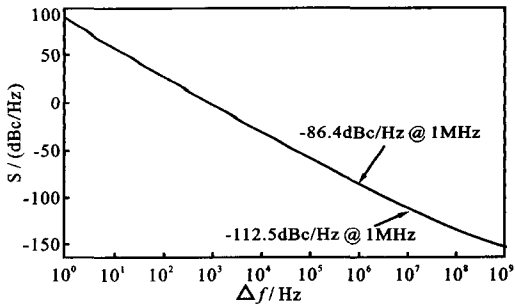


图 7 DCO 振荡频率为 8.6GHz 时的相位噪声

表 2 综合比较了本设计与文献[3~6]中的数控环形振荡器. 文中设计的 DCO 采用新型延时单元、多环路环构、电压调谐和变容差值减小的 PMOS 变容对, 在 0.18 μ m 工艺下, 实现了较好的性能.

表 2 数控环形振荡器性能比较

文献	工艺	电压	调谐范围	功耗	调谐位数	精度	相位噪声	FOM
	CMOS	V	GHz	mW	bit	MHz	-dBc/Hz	-dBc/Hz
[3]	65nm	1.3	0.8~8	60mW@8GHz	65	10	-112 dBc/Hz @10MHz at 4GHz	146.3
[4]	0.13 μ m	1.3	1.8~10.2	5mW@10.2GHz	3	500	-88.4dBc/Hz @1MHz at 5.6GHz	156.5
[5]	90nm	1	3~10	1mW@10GHz	18	4	-105 dBc/Hz @ 30MHz at 10GHz	153
[6]	0.18 μ m	1.8	2.8~4.7	20mW@4.7GHz	11	10	-90 dBc/Hz @1MHz at 4.5GHz	147.1
文中	0.18 μ m	1.8	3~8.6	20mW@8.6GHz	14	2	-86.4dBc/Hz @1MHz at 8.6GHz -112.5dBc/Hz @10MHz at 8.6GHz	158.1

5 结束语

文中采用 $0.18\mu\text{m}$ CMOS工艺设计了一个应用于超宽带脉冲无线电通信系统的数控环形振荡器。提出了一种新型延时单元,应用于多环路结构的环形振荡器,并采用3级调谐的方法,实现了 $3\sim 8.6\text{GHz}$ 宽调谐范围和 2MHz 调谐精度,平均功耗为 20mW ,各项指标满足IR-UWB系统对数控振荡器的要求。

参考文献:

- [1] Siwiak K, McKeown D. Ultra-wideband radio technology[M]. New York: Wiley, 2004.
- [2] 伍翠萍,何波,于奇,等.一种低电压低功耗的环形压控振荡器设计[J].微电子学与计算机,2008,25(5):69-72.
- [3] Tierno J A, Rylyakov A V, Friedman D J. A wide power supply range, wide tuning range, all static CMOS all digital PLL. in 65 nm SOI [J]. IEEE Journal of Solid-State Circuits, 2008, 43(1): 42-51.
- [4] Fahs B, Ali-Ahmad W Y. A two stage ring oscillator in $0.13\mu\text{m}$ CMOS for UWB impulse radio[J]. IEEE Transaction on Microwave Theory and Techniques, 2009, 57(5): 1074-1082.
- [5] Ryckaert. A $0.65\text{-to-}1.4\text{ nJ/Burst }3\text{-to-}10\text{ GHz}$

UWB all-digital TX in 90nm CMOS for IEEE 802. 15. 4a [J]. IEEE Journal of Solid-State Circuits, 2007, 42(12):2860-2869.

- [6] Yuanjin Zheng, Annamalai Arasu M. A $0.18\mu\text{m}$ CMOS 802. 15. 4a UWB transceiver for communication and localization[C] // IEEE Solid-State Circuit Conference. Japan:Fukuoka,2008:118-600.
- [7] Eken Y A, Uyemura J P. A 5.9GHz voltage-controlled ring oscillator in $0.18\mu\text{m}$ CMOS[J]. IEEE Journal of Solid-State Circuits, 2004, 39(1): 230-233.
- [8] Lizhong Sun, Kwasniewski T A. A $1.25\text{-GHz }0.35\mu\text{m}$ monolithic CMOS PLL based on a multiphase ring oscillator[J]. IEEE Journal of Solid-State Circuits, 2001, 36(6):910-916.
- [9] 魏伟伟,于海勋,李卫民,等.一种宽带低相噪 CMOS LC 压控振荡器设计[J].微电子学与计算机,2010,27(9):65-68.

作者简介:

邓春男,(1987-),硕士研究生.研究方向为超大规模集成电路设计.

龚敏男,(1961-),教授,博士生导师.研究方向为宽禁带半导体材料、器件物理及工艺、集成电路设计.

邬齐荣男,(1949-),副教授.研究方向为超大规模集成电路设计和应用.

(上接第16页)

- [6] 韦杏琼,周永权,黄华娟,等.云自适应粒子群算法[J].计算机工程与应用,2009,45(1):48-50.
- [7] Eberhart R, Kenedy J. A new optimizer using particles swarm theory[C]//Proc Sixth International Symposium on Micro Machine and Human Science. Nagoya, Japan: IEEE Service center, Piscataway, 1995:39-43.
- [8] Zhu Yufang, Dai Chaohua, Chen Weirong, et al. Adaptive probabilities of crossover and mutation in genetic algorithm based on cloud generators[J]. Journal of Computational Information Systems, 2005, 1(4):671-678.
- [9] Dick R Rhodes P, Wolf D L W. Tgff: task graphs for free [C]//Proceedings of the 6th International Workshop on Hardware / Software Codesign. Seattle, 1998:

97-101.

- [10] Srinivasan K, Chatha K S. A technique for low energy mapping and routing in network-on-chip architectures [C]//Proc of 2005 International Symposium on Low Power Electronics and Design. San Diego, 2005: 387-392.
- [11] 魏建军,康继昌,雷艳静. NoC 的平衡设计[J].微电子学与计算机,2007,24(5):54-57.

作者简介:

许川佩女,(1968-),博士,教授,硕士生导师.研究方向为集成电路测试及嵌入式系统应用.

侯红菊女,(1987-)硕士研究生.研究方向为集成电路测试.